

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

12003840

Basic Patent (No,Kind,Date): JP 6275830 A2 19940930 <No. of Patents: 002>

**ACCUMULATION-TYPE POLYCRYSTALLINE SILICON THIN-FILM
TRANSISTOR (English)**

Patent Assignee: SANYO ELECTRIC CO

Author (Inventor): SASAYA TORU

IPC: *H01L-029/784;

CA Abstract No: 122(22)279939U

Derwent WPI Acc No: G 94-352785

JAPIO Reference No: 180684E000146

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6275830	A2	19940930	JP 9365662	A	19930324
(BASIC)					
JP 3197667	B2	20010813	JP 9365662	A	19930324

Priority Data (No,Kind,Date):

JP 9365662 A 19930324

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04603930 **Image available**

ACCUMULATION-TYPE POLYCRYSTALLINE SILICON THIN-FILM
TRANSISTOR

PUB. NO.: 06-275830 [JP 6275830 A]

PUBLISHED: September 30, 1994 (19940930)

INVENTOR(s): SASAYA TORU

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 05-065662 [JP 9365662]

FILED: March 24, 1993 (19930324)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors,

MOS)

JOURNAL: Section: E, Section No. 1650, Vol. 18, No. 684, Pg. 146,
December 22, 1994 (19941222)

ABSTRACT

PURPOSE: To achieve a high breakdown voltage and a high mutual conductance simultaneously by forming with a high-resistance Poly-Si layer provided between a gate region and a source region and between the gate region and a drain region and silicon layer which is doped at a lower concentration than the source and drain regions.

CONSTITUTION: Polycrystalline silicon 2 is deposited on an amorphous insulation substrate 1, the film is formed in island shape, and then a gate insulation film 3 is formed. The polycrystalline silicon is deposited, phosphor is diffused to it, and then a gate electrode 4 is formed. The gate insulation film 3 on the source and drain regions is eliminated. Phosphorous is implanted at the eliminated region and a source region 5 and a drain region 6 are formed. The gate insulation film except that

positioned under the gate electrode is eliminated, phosphorus is implanted. and then a high-resistance region 7 and a low- concentration region 8 are formed between the source and gate regions and between the drain and gate regions. Silicon oxide film or silicon nitride film is deposited, thus forming an interlayer insulation film.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-275830

(43) 公開日 平成6年(1994)9月30日

(51) Int. Cl. ⁵

識別記号

F I

H01L 29/784

9056-4M

H01L 29/78

311

H

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平5-65662

(22) 出願日 平成5年(1993)3月24日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 笹谷 亨

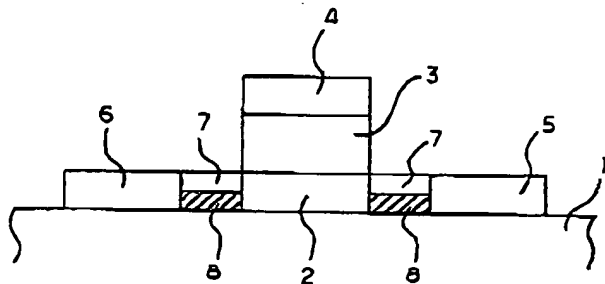
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 アキュムレーション型多結晶シリコン薄膜トランジスタ

(57) 【要約】

【目的】 アキュムレーション型 Poly-S i T F T において、ゲート電極 4 とソース領域 5 との間、及びゲート電極 4 とドレイン領域 6 との間に設けた高抵抗領域 7 と、ソース領域 5 及びドレイン領域 6 よりも低濃度にドーピングした低濃度領域 8 との 2 層で形成することにより、オフ電流が低減されて高耐圧になるとともに、オン電流も増加して高相互コンダクタンスが実現できる Poly-S i T F T を提供する。



(2)

特開平6-275830

1

2

【特許請求の範囲】

【請求項1】 アキュムレーション型多結晶シリコン薄膜トランジスタにおいて、ゲート領域と、ソース領域あるいはドレイン領域との間の領域が、前記ゲート領域と同一の不純物濃度である上層と、前記ソース領域及びドレイン領域より低い不純物濃度であり、また前記ゲート領域より高い不純物濃度である下層との2層から成ることを特徴とする多結晶シリコン薄膜トランジスタ。

【請求項2】 請求項1の多結晶シリコン薄膜トランジスタにおいて、前記上層が、多結晶シリコンの表面から100Åより厚い厚みを有することを特徴とする多結晶シリコン薄膜トランジスタ。

【請求項3】 アキュムレーション型多結晶シリコン薄膜トランジスタを備えた液晶表示装置において、ゲート領域と、ソース領域あるいはドレイン領域との間の領域が、前記ゲート領域と同一の不純物濃度である上層と、前記ソース領域及びドレイン領域より低い不純物濃度であり、また前記ゲート領域より高い不純物濃度である下層との2層から成り、さらに前記上層が、多結晶シリコンの表面から100Åより厚い厚みを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧と高相互コンダクタンスとを同時に有する多結晶シリコン薄膜トランジスタ（以下、Poly-Si TFTと記す）に関するものである。

【0002】

【従来の技術】絶縁性基板上に形成した多結晶シリコンから成る半導体層を用いて作製されたPoly-Si TFTは、非晶質シリコン薄膜トランジスタに比べ移動度が高い。

【0003】それゆえ、駆動能力が高くなるので駆動ICいわゆるドライバーの一体型が可能であり、また移動度が高いことから微細化が可能となり、高密度化が実現できるため、従来から研究開発が進められている。

【0004】まず、アキュムレーション型Poly-Si TFTについて説明する。

【0005】Poly-Si TFTにおいて、半導体層の多結晶シリコンがn型の場合、ゲート電極に正の電圧を印加すると、チャネルに電子が誘起され、それが蓄積されて蓄積状態になり、ソース領域とドレイン領域との間に電流が流れTFTがオン状態になる。またゲート電極に負の電圧を印加すると、チャネルに少数キャリアの正孔が誘起され反転状態になるので、ソース領域とドレイン領域との間に電流が流れなくなりTFTがオフ状態になる。

【0006】一方、半導体層がp型の場合には、ゲート電極に負の電圧を印加すると、チャネルに正孔が誘起され、それが蓄積されて蓄積状態になり、ソース領域とド

レイン領域との間に電流が流れTFTがオン状態になる。またゲート電極に正の電圧を印加すると、チャネルに少数キャリアの電子が誘起され、チャネルが反転状態になり、TFTがオフ状態になる。

【0007】即ち、アキュムレーション型Poly-Si TFTは、TFTがオン状態ではチャネルに蓄積層が形成され、オフ状態では反転層が形成されて動作する。

【0008】以下に、従来のPoly-Si TFTについて説明する。

【0009】図6に従来のPoly-Si TFTの断面図を示す。

【0010】同図に示す如く、石英、ガラス等から成る非晶質絶縁性基板1上に、CVD法により多結晶シリコン膜2を形成した後、島状パターンにエッチングして、熱酸化法によりSiO₂膜から成るゲート絶縁膜3を形成する。次にCVD法により多結晶シリコンからなるゲート電極4を形成するのである。

【0011】その後、前記ゲート電極4をマスクにしてそのゲート電極4領域以外のゲート絶縁膜3をエッチングし、多結晶シリコン膜2に不純物元素をドーピングして高濃度のソース領域5及びドレイン領域6を形成する。

【0012】なお、同図に記載していないが、後述の図4の本発明の実施例を示す図の如く、前記工程後全面に層間絶縁膜9を積層し、ソース領域5及びドレイン領域6上にコンタクトホール10を形成し、そこにそれぞれコンタクトしたソース電極12及びドレイン電極13を形成し、更にここで表示電極11を設ければ、表示装置とすることができる。

【0013】しかしながら、このような従来のアキュムレーション型Poly-Si TFTであると、一方のn型半導体層のTFTの場合には、ゲート電極に負のゲート電圧が印加されてPoly-Si TFTがオフ状態になった時、pチャネル層が深さ100Å以下で形成されてしまう。

【0014】また、他方のp型半導体のTFTの場合には、ゲート電極に正のゲート電圧が印加されてPoly-Si TFTがオフ状態になった時、nチャネル層が深さ100Å以下で形成されてしまう。

【0015】そのため、いずれの型の半導体層の場合にも、ゲート電圧、ドレイン電圧による電界が、ソース領域又はドレイン領域と、ゲート領域との境界、即ちドレイン接合部に集中してしまうため、トラップを介してキャリアが移動することになる。

【0016】そうすると、ゲート電圧やドレイン電圧に依存した大きなリーク電流が流れてしまう（文献：J.G.F ossum et. al, IEEE Trans. Electron Devices, vol ED-32, p 1878, 1985参照）という欠点が発生する。

【0017】そこで、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間に高い絶縁耐圧を有する高耐圧Poly-Si TFTとして、ゲート領域と同

(3)

特開平6-275830

3

4

一の不純物濃度で一層から成る領域を持つPoly-SiTFTが提案されている。

【0018】図7に、ゲート領域と同一の不純物濃度で一層から成る領域を備えた従来のPoly-SiTFTの断面図を示す。

【0019】同図に示す如く、石英、ガラス等から成る非晶質絶縁性基板1上に、CVD法により多結晶シリコン膜2を形成した後、島状パターンにエッチングして、熱酸化法によりSiO₂膜から成るゲート絶縁膜3を形成する。次にCVD法により多結晶シリコンからなるゲート電極4を形成するのである。

【0020】そしてその工程後セルフアライメントにより、ゲート電極より広い幅にゲート絶縁膜を残すようにゲート絶縁膜をエッチング除去し、露出した多結晶シリコン膜2に不純物元素をドーピングして高濃度のソース領域5及びドレイン領域6を形成するとともに、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間に一層から成る高抵抗領域7を形成する。

【0021】ここで、図示していないが、前記工程後全面に層間絶縁膜9を積層し、ソース領域5及びドレイン領域6上にコンタクトホール10を形成し、そのそれぞれの領域にコンタクトしたソース電極12及びドレイン電極13を形成する。またここで表示電極11を設ければ、表示装置とすることができる。

【0022】ところで、図7に示した上述の一層から成る高抵抗領域を備えた高耐圧Poly-SiTFTであっても、相互コンダクタンスの低下が顕著になるという欠点を有する。

【0023】これは、一層から成る高抵抗領域の抵抗が非常に高いため、その領域がチャネルに直列に付加された寄生抵抗として働き、Poly-SiTFTの相互コンダクタンスを低下させているためと考えられる。

【0024】その領域の抵抗を下げるには、領域のサイズを1μm以下にする必要があるが、その作製は困難であり、またソースやドレイン領域の不純物がその活性化処理により拡散されて高抵抗領域が制御できなくなるという欠点を有していた。

【0025】また、図8に示す如く、前述の一層から成る高抵抗領域の不純物濃度をソースやドレイン領域の不純物濃度よりも低く、またゲート領域の不純物濃度よりも高くして、相互コンダクタンスを高くしたいいわゆる低濃度領域を、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間に備えたTFTも作製されている。

【0026】しかしながら、同図に示す高相互コンダクタンスTFTでは、ゲート領域よりも低濃度領域の抵抗が低いため、耐圧が低下するという欠点を有している。

【0027】この欠点を解消するためには、低濃度領域のサイズを5μm以上に大きくすればよいが、ところが、そのために相互コンダクタンスが低下したりTFT

の占める面積が大きくなるという欠点がさらに発生するのである。

【0028】

【発明が解決しようとする課題】本発明は上述の従来の欠点に鑑みて成されたものであり、Poly-SiTFTがオフ状態では高い耐圧特性を有するとともに、オン状態では高相互コンダクタンス特性を有するPoly-SiTFTを提供するものである。

【0029】

【課題を解決するための手段】本発明のアキュムレーション型多結晶シリコン薄膜トランジスタは、ゲート領域と、ソース領域あるいはドレイン領域との間の領域が、前記ゲート領域と同一の不純物濃度である上層と、前記ソース領域及びドレイン領域より低い不純物濃度であり、また前記ゲート領域より高い不純物濃度である下層との2層から成るものである。

【0030】また、前記アキュムレーション型多結晶シリコン薄膜トランジスタにおいて、前記上層が、多結晶シリコンの表面から100Åより厚い厚みを有するものである。

【0031】さらに、アキュムレーション型多結晶シリコン薄膜トランジスタを備えた液晶表示装置において、ゲート領域と、ソース領域あるいはドレイン領域との間の領域が、前記ゲート領域と同一の不純物濃度である上層と、前記ソース領域及びドレイン領域より低い不純物濃度であり、また前記ゲート領域より高い不純物濃度である下層との2層から成り、さらに前記上層が、多結晶シリコンの表面から100Åより厚い厚みを有するものである。

【0032】

【作用】本発明によれば、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間の領域にその表面からの厚さが100Åよりも厚い高抵抗多結晶シリコン層を形成することにより、TFTがオフ状態でのリーク電流が低減できるため、高耐圧Poly-SiTFTが実現できる。さらに、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間の領域の前記高抵抗多結晶シリコン層の下層には、ソースおよびドレイン領域よりも不純物濃度が低い低濃度ドーピング多結晶シリコン層とすることにより、ソース領域とゲート領域との間、及びドレイン領域とゲート領域との間の領域は抵抗が低くなるので、TFTがオン状態でのオン電流が増加し、Poly-SiTFTの高相互コンダクタンスが実現できる。

【0033】

【実施例】本発明のPoly-SiTFTについて説明する。

【0034】ここでは、半導体層がn型の多結晶シリコンであるTFTの場合の実施例を図に従って説明する。

【0035】図1に本発明のPoly-SiTFTの断面図

(4)

特開平6-275830

5

6

を示す。図2に本発明のPoly-SiTFTを表示装置に
応用した場合の平面図を示し、また、図3(a)乃至
(d)及び図4(a)乃至(b)に図2のA-A'線に
沿った本発明のPoly-SiTFTの各製造工程の断面図
を示す。

【0036】これらの図に従って本発明のPoly-SiTFT
の製造方法について説明する。図3(a)に示す如
く、洗浄した非晶質絶縁性基板1、例えば石英基板の全
面にCVD法(化学気相反応法)により多結晶シリコン
2を1500Å堆積し、その膜をフォトリソグラフィエ
10 工程で島状に成形後、熱酸化により多結晶シリコン膜を
覆うようにゲート絶縁膜3を形成する。このゲート絶縁
膜3は、CVD法やスパッタ法により形成する酸化シリ
コン膜または窒化シリコン膜であってもよい。

【0037】次に図3(b)に示す如く、再びCVD法
により多結晶シリコンを1500Å堆積し、その多結晶
シリコンにリン(P)を拡散する。その後フォトリソグ
ラフィエ工程により成形してゲート電極4を形成する。

【0038】そして、図3(c)に示す如く、次の工程
で形成するソース及びドレイン領域上のゲート絶縁膜3
20 をフォトリソグラフィエにより除去する。

【0039】そのゲート絶縁膜を除去した領域に、イオ
ン注入(加速電圧:30keV以下、ドーズ量:1×10¹¹
'dose/cm²')によりリン(P)を打ち込み、ソース領域
5及びドレイン領域6を形成する。

【0040】そしてその工程後、セルフアライメントに
よりゲート電極の下に位置する以外のゲート絶縁膜をエ
ッチング除去し、前述のイオン注入における注入条件を
変えてイオン注入(加速電圧:60~100keV、ドー
ズ量:1×10¹¹'dose/cm²')によりリン(P)を打ち込
30 み、図3(d)に示す如く、ソース領域とゲート領域と
の間、及びドレイン領域とゲート領域との間に、高抵抗
領域7と、低濃度領域8(斜線部)とを形成する。

【0041】その後、Poly-Si膜中に存在するダング
リングボンドを水素で補償するため、水素放電で水素化
を行い、その後図4(a)に示す如く、CVD法により
酸化シリコン膜または窒化シリコン膜を厚さ4000Å
堆積して層間絶縁膜9を形成し、その層間絶縁膜9にフ
ォトリソグラフィエ工程によりコンタクトホール10を
形成する。

【0042】ここで、図4(b)に示すようにPoly-S
iTFTを液晶表示素子として用いる場合には、前記コ
ンタクトホール10を形成する工程前に、スパッタ法で
ITO(Indium Tin Oxide)を成膜しフォトリソグ
ラフィエ工程で成形して表示電極11を形成すればよい。

【0043】そして配線材料としてアルミニウムをスパ
ッタ法により成膜しフォトリソグラフィエ工程を経て成
形して、ソース電極12とドレイン電極13を形成して
薄膜トランジスタを完成する。

【0044】以上述べた実施例は、n型多結晶シリコン 50

を備えたTFTの場合であるが、n型多結晶シリコンを
備えたTFTの場合にも前述の2度のイオン注入におい
て、リン(P)をボロン(B)に変えて実施すれば、上
述のn型多結晶シリコンを備えたTFTと同様に作製で
きる。

【0045】ここで、図5に上記の本発明の製造方法で
作製したPoly-SiTFTを液晶表示装置に応用した場
合の断面図を示す。

【0046】同図に示す如く、本発明を応用したアクテ
ィブマトリクス液晶表示装置は、上述の本発明のPoly-
SiTFT及び表示電極の上に配向膜14を形成したPo
ly-SiTFT基板と、ガラス等の非晶質絶縁性基板上に
対向基板用共通電極16及び配向膜14を備えた対向基
板17との間に液晶層15を挟む構成である。

【0047】上述の実施例の如く、本発明のPoly-Si
TFTであれば、ソース領域とゲート領域との間、及び
ドレイン領域とゲート領域との間に、上層の高抵抗領域
とその下層の低濃度領域との二層を備えているので、T
FTがオフ状態の場合では、高抵抗Poly-SiTFTで
ある従来構造TFTと同等のオフ電流が実現でき、また
オン状態では低濃度層一層から成る従来構造のTFTと
同等のオン電流または移動度が実現できた。それによっ
て、本発明のPoly-SiTFTは、従来構造のTFTに
比較して、TFTのオン/オフ比が1桁以上も大きく向
上することができた。

【0048】

【発明の効果】以上説明したように本発明によれば、ゲ
ート領域とソース領域との間、及びゲート電極とドレ
イン領域との間に設けた高抵抗Poly-Si層と、ソース領
域及びドレイン領域よりも低濃度にドーブしたシリコン
層との二層で形成することにより、オフ電流が低減され
て高耐圧になると同時にオン電流も増加して高相互コン
ダクタンスが実現できる。

【図面の簡単な説明】

【図1】本発明のPoly-SiTFTの実施例を示す断面
図である。

【図2】本発明のPoly-SiTFTの実施例を示す平面
図である。

【図3】本発明のPoly-SiTFTの製造工程を示す断
面図である。

【図4】本発明のPoly-SiTFTの製造工程を示す断
面図である。

【図5】本発明のPoly-SiTFTを用いた液晶表示装
置の実施例を示す断面図である。

【図6】従来のPoly-SiTFTを示す断面図である。

【図7】従来のPoly-SiTFTを示す断面図である。

【図8】従来のPoly-SiTFTを示す断面図である。

【符号の説明】

- 1 非晶質絶縁性基板
- 2 多結晶シリコン膜

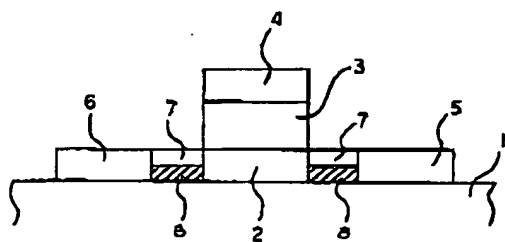
(5)

特開平6-275830

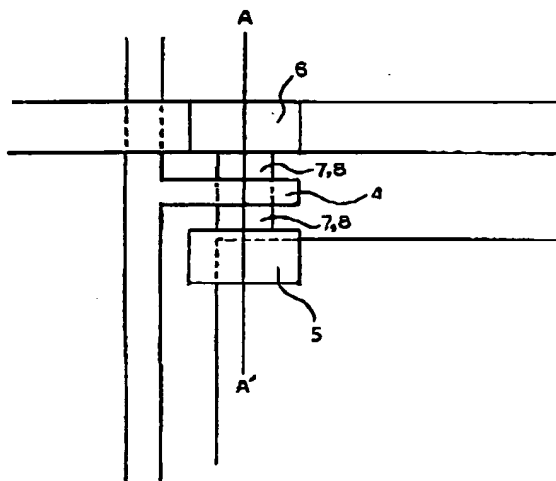
- 3 ゲート絶縁膜
4 ゲート電極
5 ソース領域
6 ドレイン領域
7 高抵抗領域
8 低濃度領域
9 層間絶縁膜
10 コンタクトホール

- 11 表示電極
12 ソース電極
13 ドレイン電極
14 配向膜
15 液晶層
16 対向基板用共通電極
17 対向基板

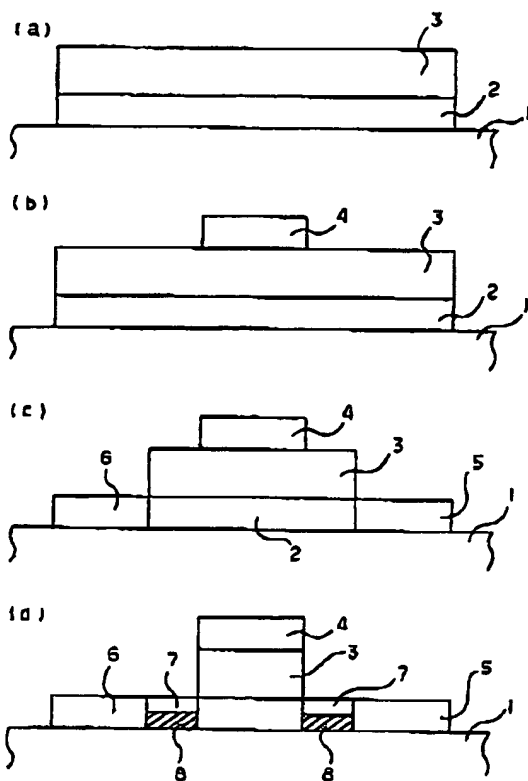
【図1】



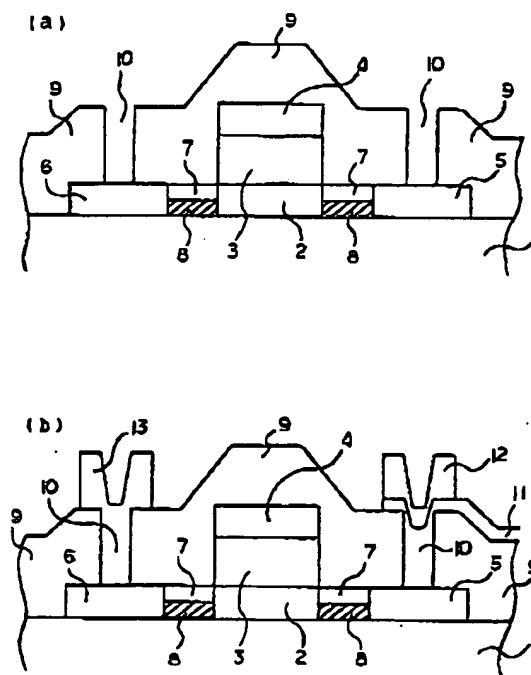
【図2】



【図3】



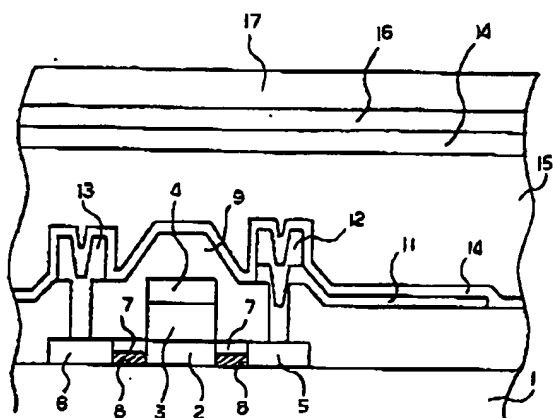
【図4】



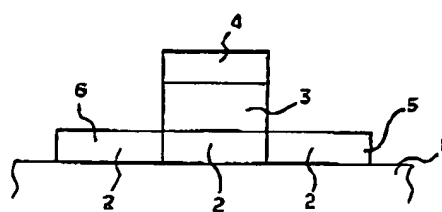
(6)

特開平 6 - 2 7 5 8 3 0

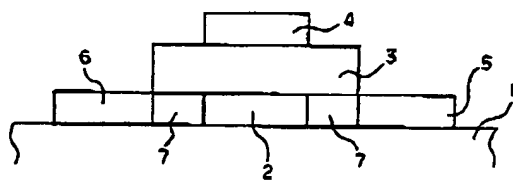
【図 5】



【図 6】



【図 7】



【図 8】

